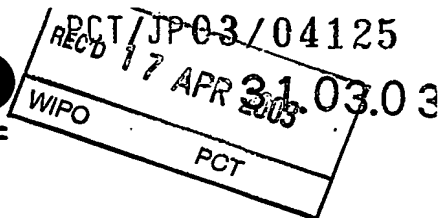


日 本 国 特 許 庁

JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 3月29日

出 願 番 号

Application Number:

特願2002-097845

[ST.10/C]:

[JP2002-097845]

出 願 人

Applicant(s):

東京エレクトロン株式会社

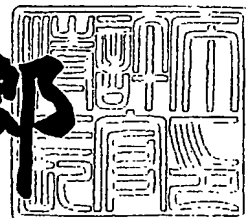
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 2月25日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3010924

【書類名】 特許願

【整理番号】 JPP020026

【提出日】 平成14年 3月29日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 21/38

【発明の名称】 下地絶縁膜の形成方法

【請求項の数】 10

【発明者】

    【住所又は居所】 東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社  
社内

    【氏名】 菅原 卓也

【発明者】

    【住所又は居所】 東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社  
社内

    【氏名】 多田 吉秀

【発明者】

    【住所又は居所】 東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社  
社内

    【氏名】 中村 源志

【発明者】

    【住所又は居所】 東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社  
社内

    【氏名】 尾▲崎▼ 成則

【発明者】

    【住所又は居所】 東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社  
社内

    【氏名】 中西 敏雄

【発明者】

    【住所又は居所】 東京都港区赤坂五丁目3番6号 東京エレクトロン株式

会社内

【氏名】

佐々木 勝

【発明者】

【住所又は居所】

東京都港区赤坂五丁目3番6号 東京エレクトロン株式  
会社内

【氏名】

松山 征嗣

【発明者】

【住所又は居所】

東京都港区赤坂五丁目3番6号 東京エレクトロン株式  
会社内

【氏名】

長谷部 一秀

【発明者】

【住所又は居所】

東京都港区赤坂五丁目3番6号 東京エレクトロン株式  
会社内

【氏名】

中島 滋

【発明者】

【住所又は居所】

東京都港区赤坂五丁目3番6号 東京エレクトロン株式  
会社内

【氏名】

藤原 友紀

【特許出願人】

【識別番号】

000219967

【氏名又は名称】

東京エレクトロン株式会社

【代理人】

【識別番号】

100077517

【弁理士】

【氏名又は名称】

石田 敬

【電話番号】

03-5470-1900

【選任した代理人】

【識別番号】

100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100089901

【弁理士】

【氏名又は名称】 吉井 一男

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 下地絶縁膜の形成方法

【特許請求の範囲】

【請求項 1】 電子デバイス用基材上に配置された絶縁膜の表面に、少なくとも酸素原子含有ガスを含む処理ガスに基づくプラズマを照射して、該絶縁膜と電子デバイス用基材との界面に下地膜を形成することを特徴とする下地膜の形成方法。

【請求項 2】 前記絶縁膜が、High-k（高誘電率）材料を含む膜である請求項 1 に記載の下地膜の形成方法。

【請求項 3】 前記プラズマが、酸素ラジカルを含むプラズマである請求項 1 または 2 に記載の下地膜の形成方法。

【請求項 4】 前記下地膜が、酸化膜である請求項 1 ～ 3 のいずれかに記載の下地膜の形成方法。

【請求項 5】 前記プラズマが、平面アンテナ部材（スロットプレインアンテナ）に基づくプラズマである請求項 1 ～ 4 のいずれかに記載の下地膜の形成方法。

【請求項 6】 前記プラズマ照射の後、高誘電率材料膜を高温でアニーリングする請求項 1 ～ 5 のいずれかに記載の下地膜の形成方法。

【請求項 7】 前記アニーリングが、 $N_2$ 雰囲気または $O_2$ 雰囲気下で行われる請求項 6 に記載の下地膜の形成方法。

【請求項 8】 前記アニーリングが、 $600 \sim 1100^\circ C$ の温度で行われる請求項 6 または 7 に記載の下地膜の形成方法。

【請求項 9】 電子デバイス用基材と、該基材上に配置された下地膜と、該下地膜上に配置された絶縁膜とを少なくとも含む電子デバイス用材料であって；前記下地膜が、前記絶縁膜側からのプラズマ照射によって形成された膜であることを特徴とする電子デバイス用材料。

【請求項 10】 前記絶縁膜が、High-k（高誘電率）材料を含む膜である請求項 9 に記載の電子デバイス用材料。

【発明の詳細な説明】

## 【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は、良好な界面特性を有する絶縁膜を形成する方法に関する。より詳しくは、本発明は、絶縁膜に、少なくとも酸素原子含有ガスを含む処理ガスに基づくプラズマを照射して、該絶縁膜と基材との間の界面特性を向上させる方法に関する。本発明の改質方法は、特に、いわゆるH i g h - k（高誘電率）材料に好適に使用可能である。

## 【 0 0 0 2 】

## 【従来の技術】

本発明は半導体ないし半導体装置、液晶デバイス等の電子デバイス材料の製造に一般的に広く適用可能であるが、ここでは説明の便宜のために、半導体装置（devices）の背景技術を例にとって説明する。

## 【 0 0 0 3 】

シリコンを始めとする半導体ないし電子デバイス材料用基材には、酸化膜の形成、CVD等による成膜、エッチング等の種々の処理が施される。近年の半導体装置の微細化、および高性能化の要請に伴い、（例えば、リーク電流の点で）より高性能な絶縁膜に対するニーズが著しく高まって来ている。これは、従来の比較的に集積度が低いデバイスにおいては事実上問題とならなかったような程度のリーク電流であっても、近年の微細化および／又は高性能化したデバイスにおいては、シビアな問題を生ずる可能性があるためである。特に、近年始まった、いわゆるユビキタス社会（何時でもどこでもネットワークに繋がる電子デバイスを媒体にした情報化社会）における携帯型電子機器の発達には低消費電力デバイスが必須であり、このリーク電流の低減が極めて重要な課題となる。

## 【 0 0 0 4 】

典型的には、例えば、次世代MOSトランジスタを開発する上で、高性能のシリコンLSIの微細化を追求していくとリーク電流が増大して、消費電力も増大するという問題が生じている。そこで性能を追求しつつ消費電力を少なくするためには、MOSトランジスタのゲートリーク電流を増加させずにトランジスタの特性を向上させることが必要となる。

## 【0005】

このような要請に応えるために、種々の手法（例えば、シリコン酸化膜の改質、シリコン酸窒化膜  $\text{SiON}$  の使用）が提案されているが、その有力な手法の一つが、High-k（高誘電率）材料を用いた絶縁膜の開発である。このような High-k 材料を用いることにより、 $\text{SiO}_2$  容量換算膜厚である EOT (Effective Oxide Thickness) の薄膜化が期待できるからである。

## 【0006】

## 【発明が解決しようとする課題】

しかしながら、このように優れた特性が期待される絶縁膜を実際に CVD（化学気相堆積法）等により成膜した場合、特に実用性が極めて高い（例えば、12 Å（オングストローム）程度に比較的薄い）絶縁膜においては、該絶縁膜と、その下地たる電子デバイス用基材との間で良好な界面特性を得ることが困難であった。

## 【0007】

このような課題を解決するための一つの有力な方法は、基材上に極めて薄い（例えば、10 Å 以下）下地膜を形成した後に、該下地膜上に絶縁膜をすることである。しかしながら、従来の熱酸化技術ないしプラズマ酸化技術（これらの技術による薄い膜厚コントロールは困難である）を用いて、このように薄い下地膜を直接に電子デバイス用基材上に成膜速度や面内均一性を制御しながら形成することは、極めて困難であった。

## 【0008】

本発明の目的は、上記した従来技術の欠点を解消した下地膜の形成方法を提供することにある。

## 【0009】

本発明の他の目的は、絶縁膜と、電子デバイス用基材との間の界面に、トランジスターの特性を向上させるべき良質な下地膜を与える方法を提供することにある。

## 【0010】

## 【課題を解決するための手段】

本発明者は鋭意研究の結果、従来におけるように電子デバイス用基材上に下地膜を形成した後に、絶縁膜（例えば、H i g h - k 材料膜）を形成するのではなく、電子デバイス用基材上に一旦絶縁膜（例えば、H i g h - k 材料膜）を形成し、少なくとも酸素原子含有ガスを含む処理ガスに基づくプラズマを該絶縁膜を透過させ、該絶縁膜－基材界面に下地膜を形成することが、上記目的の達成のために極めて効果的なことを見出した。

#### 【 0 0 1 1 】

本発明の下地膜の形成方法は上記知見に基づくものであり、より詳しくは、電子デバイス用基材上に配置された絶縁膜の表面に、少なくとも酸素原子含有ガスを含む処理ガスに基づくプラズマを照射して、該絶縁膜と電子デバイス用基材との界面に下地膜を形成することを特徴とするものである。

#### 【 0 0 1 2 】

本発明によれば、更に、電子デバイス用基材と、該基材上に配置された下地膜と、該下地膜上に配置された絶縁膜とを少なくとも含む電子デバイス用材料であって；前記下地膜が、前記絶縁膜側からのプラズマ照射によって形成された膜であることを特徴とする電子デバイス用材料が提供される。

#### 【 0 0 1 3 】

上記構成を有する本発明の下地膜の形成方法においては、プラズマ活性種（例えば酸素反応種）が絶縁膜表面側から該絶縁膜を透過して、絶縁膜－基材界面に到達して、該界面近傍に下地膜を形成する。本発明においては、電子デバイス用基材上に直接に下地膜を形成する場合に比べて成膜速度のコントロール（すなわち、成膜時間のコントロール）が容易であるため、該下地膜の膜厚コントロール、および／又は下地膜の面内の均一性を向上させることが容易となる。

#### 【 0 0 1 4 】

##### 【発明の実施の形態】

以下、必要に応じて図面を参照しつつ本発明を更に具体的に説明する。以下の記載において量比を表す「部」および「%」は、特に断らない限り質量基準とする。

##### （下地膜の形成方法）

## 【0015】

本発明においては、電子デバイス用基材上に配置された絶縁膜の表面に、少なくとも酸素原子含有ガスを含む処理ガスに基づくプラズマを照射して、該絶縁膜と電子デバイス用基材との界面に下地膜を形成する。

(絶縁膜)

## 【0016】

本発明において使用可能な絶縁膜を構成する材料は特に制限されないが、実用的なMOSトランジスターの点からは、低誘電率の $\text{SiO}_2$ 、 $\text{SiON}$ 、誘電率が比較的高い $\text{SiN}$ 、ないしは後述する $\text{High-k}$ 物質と呼ばれる誘電率が高い物質からなる群から選択される1又は2以上のものが好適に使用可能である。

( $\text{High-k}$ 材料)

## 【0017】

本発明において使用可能な $\text{High-k}$ 材料は特に制限されないが、実用レベルのMOSトランジスターのトレンドの点からは、 $k$ （比誘電率）の値が8以上、更には10以上のものが好ましい。

## 【0018】

このような $\text{High-k}$ 材料の例としては、 $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{HfO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、および $\text{ZrSiO}$ 、 $\text{HfSiO}$ 等のシリケート； $\text{ZrAlO}$ 等のアルミネートからなる群から選択される1又は2以上のものが好適に使用可能である。

## 【0019】

(電子デバイス用基材)

## 【0020】

本発明において使用可能な上記の電子デバイス用基材は特に制限されず、公知の電子デバイス用基材の1種または2種以上の組合せから適宜選択して使用することが可能である。このような電子デバイス用基材の例としては、例えば、半導体材料、液晶デバイス材料等が挙げられる。半導体材料の例としては、例えば、単結晶シリコンを主成分とする材料、 $\text{high Performance CMOS}$ 等が挙げられる。

## 【0021】

(下地膜)

【0022】

上記した絶縁膜の界面特性を向上させることが可能である限り、下地膜の組成、膜厚、積層の態様等は特に制限されない。トランジスター特性の点からは、下地膜としては、下地酸化膜が好適に使用可能である。

【0023】

このような下地膜は、6～12Å程度の厚さを有することが好ましく、更には6～8Å程度の厚さを有することが好ましい。

【0024】

(処理ガス条件)

【0025】

本発明の下地膜作製においては、形成されるべき下地膜の特性の点からは、下記の条件が好適に使用できる。

【0026】

希ガス（例えば、Kr、Ar、HeまたはXe）：300～2000 sccm、より好ましくは1000～2000 sccm、

【0027】

O<sub>2</sub>：1～500 sccm、より好ましくは10～200 sccm、

【0028】

温度：室温（25℃）～500℃、より好ましくは250～500℃、特に好ましくは250～400℃

【0029】

圧力：3～500 Pa、より好ましくは7～260 Pa、

【0030】

マイクロ波：1～5 W/cm<sup>2</sup>、より好ましくは2～4 W/cm<sup>2</sup>、特に好ましくは2～3 W/cm<sup>2</sup>

【0031】

(アニーリング)

【0032】

本発明においては、上述した改質の後、必要に応じて、絶縁膜をアニーリングしてもよい。このアニーリング条件は特に制限されないが、トランジスター特性の点からは、 $O_2$ ガスおよび／又は $N_2$ ガスを含む処理ガスが好適に使用可能である。本発明において好適に使用可能な条件の一例を以下に示す。

## 【0033】

(好適なアニーリング条件)

## 【0034】

希ガス（例えば、Kr、Ar、HeまたはXe）：0～5000 sccm、より好ましくは0～1000 sccm、

## 【0035】

$O_2$ ：10～1000 sccm、より好ましくは10～100 sccm、

## 【0036】

$N_2$ ：1000～5000 sccm、より好ましくは1000～3000 sccm、

## 【0037】

温度：室温（25℃）～1050℃、より好ましくは600～1050℃、

## 【0038】

圧力：100～101 kPa、より好ましくは1k～101 kPa、

## 【0039】

本発明において使用可能なプラズマは特に制限されないが、均一な薄膜化が容易に得られる点からは、電子温度が比較的到低くかつ高密度なプラズマを用いることが好ましい。

## 【0040】

(好適なプラズマ)

## 【0041】

本発明において好適に使用可能なプラズマの特性は、以下の通りである。

## 【0042】

電子温度：0.5～2.0 eV

## 【0043】

密度：1 E 1 0 ~ 5 E 1 2 / c m<sup>3</sup>

【0 0 4 4】

プラズマ密度の均一性：± 1 0 %

【0 0 4 5】

(平面アンテナ部材)

【0 0 4 6】

本発明の電子デバイス材料の製造方法においては、複数のスロットを有する平面アンテナ部材を介してマイクロ波を照射することにより電子温度が低くかつ高密度なプラズマを形成する。本発明においては、このような優れた特性を有するプラズマを用いて下地膜の形成を行うため、プラズマダメージが小さく、かつ低温で反応性の高いプロセスが可能となる。本発明においては、更に、(従来のプラズマを用いた場合に比べ) 平面アンテナ部材を介してマイクロ波を照射することにより、良質な下地膜の形成が容易であるという利点を得られる。

【0 0 4 7】

本発明によれば、良質な下地膜を形成することができる。したがって、この下地膜上に他の層(例えば、電極層)を形成することにより、特性に優れた半導体装置の構造を形成することが容易である。

【0 0 4 8】

(下地膜の好適な特性)

【0 0 4 9】

本発明によれば、下記のように好適な特性を有する下地膜を容易に形成することができる。

【0 0 5 0】

(半導体構造の好適な特性)

【0 0 5 1】

本発明の方法の適用すべき範囲は特に制限されないが、本発明により形成可能な良質な下地膜は、M O S 構造のゲート絶縁膜として特に好適に利用することができる。

【0 0 5 2】

(MOS半導体構造の好適な特性)

【0053】

本発明により形成可能な極めて薄く、しかも良質な下地膜は、半導体装置の絶縁膜（特にMOS半導体構造のゲート絶縁膜）として特に好適に利用することができる。

【0054】

本発明によれば、下記のように好適な特性を有するMOS半導体構造を容易に製造することができる。なお、本発明により形成した下地膜の特性を評価する際には、例えば、文献（VLSIデバイスの物理 岸野正剛、小柳光正著 丸善 P62～63）に記載されたような標準的なMOS半導体構造を形成して、そのMOSの特性を評価することにより、上記下地膜の自体の特性評価に代えることができる。このような標準的なMOS構造においては、該構造を構成する下地膜の特性が、MOS特性に強い影響を与えるからである。

【0055】

(製造装置の一態様)

【0056】

以下、本発明の製造方法の好適な一態様について説明する。

【0057】

まず本発明の電子デバイス材料の製造方法によって製造可能な半導体装置の構造の一例について、絶縁膜としてゲート絶縁膜を備えたMOS構造を有する半導体装置を図2を参照しつつ説明する。

【0058】

図1(a)を参照して、この図1(a)において参照番号1はシリコン基板、11はフィールド酸化膜、2はゲート絶縁膜であり、13はゲート電極である。上述したように、本発明の製造方法によれば極めて薄く且つ良質なゲート絶縁膜2を形成することができる。このゲート絶縁膜2は、図1(b)に示すように、シリコン基板1との界面に形成された、品質の高い絶縁膜からなる。例えば2.5nm程度の厚さの酸化膜2により構成されている。

【0059】

この例では、この品質の高い酸化膜 2 は、 $O_2$  および希ガスを含む処理ガスの存在下で、Si を主成分とする被処理基材に、複数のスロットを有する平面アンテナ部材を介してマイクロ波を照射することによりプラズマを形成し、このプラズマを用いて前記被処理基材表面に形成されたシリコン酸化膜（以下「 $SiO_2$  膜」という）からなることが好ましい。このような  $SiO_2$  膜を用いた際には、後述するように、 $Si/SiO_2$  界面特性（例えば、界面準位）が良好で、且つ MOS 構造とした際に良好なゲートリーク特性を得ることが容易という特徴がある。

#### 【0060】

本発明においては、このシリコン酸化膜 2 の表面には、上記したような窒化処理を施すことが好ましい。このシリコン酸化膜 2 の窒化処理された表面の上には、更にシリコン（ポリシリコンまたはアモルファスシリコン）を主成分とするゲート電極 13 が形成されている。

#### 【0061】

（製造方法の一態様）

#### 【0062】

次に、このようなシリコン酸化膜 2、窒化処理表面 21、更にその上にゲート電極 13 が配設された電子デバイス材料の製造方法について説明する。

#### 【0063】

図 3 は本発明の電子デバイス材料の製造方法を実施するための半導体製造装置 30 の全体構成の一例を示す概略図（模式平面図）である。

#### 【0064】

図 2 に示すように、この半導体製造装置 30 のほぼ中央には、ウエハ W（図 2）を搬送するための搬送室 31 が配設されており、この搬送室 31 の周囲を取り囲むように、ウエハに種々の処理を行うためのプラズマ処理ユニット 32、33、各処理室間の連通／遮断の操作を行うための二機のロードロックユニット 34 および 35、種々の加熱操作を行うための加熱ユニット 36、およびウエハに種々の加熱処理を行うための加熱反応炉 47 が配設されている。なお、加熱反応炉 47 は、上記半導体製造装置 30 とは別個に独立して設けてもよい。

## 【0065】

ロードロックユニット34、35の横には、種々の予備冷却ないし冷却操作を行うための予備冷却ユニット45、冷却ユニット46がそれぞれ配設されている。

## 【0066】

搬送室31の内部には、搬送アーム37および38が配設されており、前記各ユニット32～36との間でウェハW（図3）を搬送することができる。

## 【0067】

ロードロックユニット34および35の図中手前側には、ローダーアーム41および42が配設されている。これらのローダーアーム41および42は、更にその手前側に配設されたカセットステージ43上にセットされた4台のカセット44との間でウェハWを出し入れすることができる。

## 【0068】

なお、図2中のプラズマ処理ユニット32、33としては、同型のプラズマ処理ユニットが二基並列してセットされている。

## 【0069】

更に、これらプラズマ処理ユニット32およびユニット33は、ともにシングルチャンバ型CVD処理ユニットと交換することが可能であり、プラズマ処理ユニット32や33の位置に一基または二基のシングルチャンバ型CVD処理ユニットをセットすることも可能である。

## 【0070】

プラズマ処理が二基の場合、例えば、処理ユニット32で $\text{SiO}_2$ 膜を形成した後、処理ユニット33で $\text{SiO}_2$ 膜を表面窒化する方法を行っても良く、また処理ユニット32および33で並列に $\text{SiO}_2$ 膜形成と $\text{SiO}_2$ 膜の表面窒化を行っても良い。或いは別の装置で $\text{SiO}_2$ 膜形成を行った後、処理ユニット32および33で並列に表面窒化を行うこともできる。

## 【0071】

（ゲート絶縁膜成膜の一態様）

## 【0072】

図 3 はゲート絶縁膜 2 の成膜に使用可能なプラズマ処理ユニット 3 2 ( 3 3 ) の垂直方向の模式断面図である。

【 0 0 7 3 】

図 3 を参照して、参照番号 5 0 は、例えばアルミニウムにより形成された真空容器である。この真空容器 5 0 の上面には、基板（例えばウエハ W）よりも大きい開口部 5 1 が形成されており、この開口部 5 1 を塞ぐように、例えば石英や窒化アルミ等の誘電体により構成された偏平な円筒形状の天板 5 4 が設けられている。この天板 5 4 の下面である真空容器 5 0 の上部側の側壁には、例えばその周方向に沿って均等に配置した 1 6 箇所の位置にガス供給管 7 2 が設けられており、このガス供給管 7 2 から  $O_2$  や希ガス、 $N_2$  および  $H_2$  等から選ばれた 1 種以上を含む処理ガスが、真空容器 5 0 のプラズマ領域 P 近傍にムラなく均等に供給されるようになっている。

【 0 0 7 4 】

天板 5 4 の外側には、複数のスロットを有する平面アンテナ部材、例えば銅板により形成されたスロットプレーンアンテナ (Slot Plane Antenna ; S P A) 6 0 を介して、高周波電源部をなし、例えば 2 . 4 5 G H z のマイクロ波を発生するマイクロ波電源部 6 1 に接続された導波路 6 3 が設けられている。この導波路 6 3 は、S P A 6 0 に下縁が接続された偏平な円形導波管 6 3 A と、この円形導波管 6 3 A の上面に一端側が接続された円筒形導波管 6 3 B と、この円筒形導波管 6 3 B の上面に接続された同軸導波変換器 6 3 C と、この同軸導波変換器 6 3 C の側面に直角に一端側が接続され、他端側がマイクロ波電源部 6 1 に接続された矩形導波管 6 3 D とを組み合わせ構成されている。

【 0 0 7 5 】

ここで、本発明においては、U H F とマイクロ波とを含めて高周波領域と呼ぶものとする。すなわち、高周波電源部より供給される高周波電力は 3 0 0 M H z 以上の U H F や 1 G H z 以上のマイクロ波を含む、3 0 0 M H z 以上 2 5 0 0 M H z 以下のものとし、これらの高周波電力により発生されるプラズマを高周波プラズマと呼ぶものとする。

【 0 0 7 6 】

前記円筒形導波管 6 3 B の内部には、導電性材料からなる軸部 6 2 の、一端側が S P A 6 0 の上面のほぼ中央に接続し、他端側が円筒形導波管 6 3 B の上面に接続するように同軸状に設けられており、これにより当該導波管 6 3 B は同軸導波管として構成されている。

【 0 0 7 7 】

また真空容器 5 0 内には、天板 5 4 と対向するようにウエハ W の載置台 5 2 が設けられている。この載置台 5 2 には図示しない温調部が内蔵されており、これにより当該載置台 5 2 は熱板として機能するようになっている。更に真空容器 5 0 の底部には排気管 5 3 の一端側が接続されており、この排気管 5 3 の他端側は真空ポンプ 5 5 に接続されている。

【 0 0 7 8 】

( S P A の一態様 )

【 0 0 7 9 】

図 4 は本発明の電子デバイス材料の製造装置に使用可能な S P A 6 0 の一例を示す模式平面図である。

【 0 0 8 0 】

この図 4 に示したように、この S P A 6 0 では、表面に複数のスロット 6 0 a 、 6 0 a 、 … が同心円状に形成されている。各スロット 6 0 a は略方形の貫通した溝であり、隣接するスロットどうしは互いに直交して略アルファベットの「 T 」の文字を形成するように配設されている。スロット 6 0 a の長さや配列間隔は、マイクロ波電源部 6 1 より発生したマイクロ波の波長に応じて決定されている。

【 0 0 8 1 】

( 加熱反応炉の一態様 )

【 0 0 8 2 】

図 5 は本発明の電子デバイス材料の製造装置に使用可能な加熱反応炉 4 7 の一例を示す垂直方向の模式断面図である。

【 0 0 8 3 】

図 5 に示すように、加熱反応炉 4 7 の処理室 8 2 は、例えばアルミニウム等に

より気密可能な構造に形成されている。この図5では省略されているが、処理室82内には加熱機構や冷却機構を備えている。

【0084】

図5に示したように、処理室82には上部中央にガスを導入するガス導入管83が接続され、処理室82内とガス導入管83内とが連通されている。また、ガス導入管83はガス供給源84に接続されている。そして、ガス供給源84からガス導入管83にガスが供給され、ガス導入管83を介して処理室82内にガスが導入されている。このガスとしては、ゲート電極形成の原料となる、例えばシラン等の各種のガス（電極形成ガス）を用いることができ、必要に応じて、不活性ガスをキャリアガスとして用いることもできる。

【0085】

処理室82の下部には、処理室82内のガスを排気するガス排気管85が接続され、ガス排気管85は真空ポンプ等からなる排気手段（図示せず）に接続されている。この排気手段により、処理室82内のガスがガス排気管85から排気され、処理室82内が所望の圧力に設定されている。

【0086】

また、処理室82の下部には、ウエハWを載置する載置台87が配置されている。

【0087】

この図5に示した態様においては、ウエハWと略同径大の図示しない静電チャックによりウエハWが載置台87上に載置されている。この載置台87には、図示しない熱源手段が内设されており、載置台87上に載置されたウエハWの処理面を所望の温度に調整できる構造に形成されている。

【0088】

この載置台87は、必要に応じて、載置したウエハWを回転できるような機構になっている。

【0089】

図5中、載置台87の右側の処理室82壁面にはウエハWを出し入れするための開口部821が設けられており、この開口部821の開閉はゲートバルブ98

を図中上下方向に移動することにより行われる。図5中、ゲートバルブ98の更に右側にはウエハWを搬送する搬送アーム（図示せず）が隣設されており、搬送アームが開口部821を介して処理室82内に入り出して載置台87上にウエハWを載置したり、処理後のウエハWを処理室82から搬出するようになっている。

## 【0090】

載置台87の上方には、シャワー部材としてのシャワーヘッド88が配設されている。このシャワーヘッド88は載置台87とガス導入管83との間の空間を区画するように形成されており、例えばアルミニウム等から形成されている。

## 【0091】

シャワーヘッド88は、その上部中央にガス導入管83のガス出口83aが位置するように形成され、シャワーヘッド88下部に設置されたガス供給孔89を通し、処理室82内にガスが導入されている。

## 【0092】

（絶縁膜形成の態様）

## 【0093】

次に、上述した装置を用いて、ウエハW上にゲート絶縁膜2からなる絶縁膜を形成する方法の好適な一例について説明する。

## 【0094】

図6は本発明の方法における各工程の流れの一例を示すフローチャートである。

## 【0095】

図6を参照して、まず、前段の工程でウエハW表面にフィールド酸化膜11（図1（a））を形成する。

## 【0096】

次いでプラズマ処理ユニット32（図2）内の真空容器50の側壁に設けたゲートバルブ（図示せず）を開いて、搬送アーム37、38により、前記シリコン基板1表面にフィールド酸化膜11が形成されたウエハWを載置台52（図3）上に載置する。

## 【0097】

続いてゲートバルブを閉じて内部を密閉した後、真空ポンプ55により排気管53を介して内部雰囲気気を排気して所定の真空度まで真空引きし、所定の圧力に維持する。一方マイクロ波電源部61より例えば1.80GHz(2200W)のマイクロ波を発生させ、このマイクロ波を導波路により案内してSPA60および天板54を介して真空容器50内に導入し、これにより真空容器50内の上部側のプラズマ領域Pにて高周波プラズマを発生させる。

## 【0098】

ここでマイクロ波は矩形導波管63D内を矩形モードで伝送し、同軸導波変換器63Cにて矩形モードから円形モードに変換され、円形モードで円筒形同軸導波管63Bを伝送し、更に円形導波管63Aにて拡げられた状態で伝送していき、SPA60のスロット60aより放射され、天板54を透過して真空容器50に導入される。この際マイクロ波を用いているため高密度のプラズマが発生し、またマイクロ波をSPA60の多数のスロット60aから放射しているため、このプラズマが高密度なものとなる。

## 【0099】

次いで、載置台52の温度を調節してウエハWを例えば400℃に加熱しながら、ガス供給管72より酸化膜形成用の処理ガスであるクリプトンやアルゴン等の希ガスと、O<sub>2</sub>ガスとを、例えばそれぞれ2000sccm、200sccmの流量で導入して第1の工程(酸化膜の形成)を実施する。

## 【0100】

この工程では、導入された処理ガスはプラズマ処理ユニット32内にて発生したプラズマ流により活性化(プラズマ化)され、このプラズマにより図8(a)の模式断面図に示すように、シリコン基板1の表面が酸化されて酸化膜(SiO<sub>2</sub>膜)2が形成される。こうしてこの酸化処理を例えば40秒間行い、2.5nmの厚さのゲート酸化膜またはゲート下地膜用下地酸化膜(下地SiO<sub>2</sub>膜)2を形成することができる。

## 【0101】

次に、ゲートバルブ(図示せず)を開き、真空容器50内に搬送アーム37、

38 (図2) を進入させ、載置台52上のウエハWを受け取る。この搬送アーム37、38はウエハWをプラズマ処理ユニット32から取り出した後、隣接するプラズマ処理ユニット33内の載置台にセットする(ステップ2)。また、用途により、ゲート酸化膜を窒化せずに熱反応炉47に移動する場合もある。

【0102】

(窒化含有層形成の態様)

【0103】

次いで、このプラズマ処理ユニット33内でウエハW上に表面窒化処理が施され、先に形成された下地酸化膜(下地 $\text{SiO}_2$ )2の表面上に窒化含有層21(図7(b))が形成される。

【0104】

この表面窒化処理の際には、例えば、真空容器50内にて、ウエハ温度が例えば400℃、プロセス圧力が例えば66.7Pa(500mTorr)の状態、容器50内にガス導入管よりアルゴンガスと、 $\text{N}_2$ ガスとを、例えばそれぞれ1000sccm、40sccmの流量で導入する。

【0105】

その一方で、マイクロ波電源部61より例えば $2\text{W}/\text{cm}^2$ のマイクロ波を発生させ、このマイクロ波を導波路により案内してSPA60bおよび天板54を介して真空容器50内に導入し、これにより真空容器50内の上部側のプラズマ領域Pにて高周波プラズマを発生させる。

【0106】

この工程(表面窒化)では、導入されたガスはプラズマ化し、窒素ラジカルが形成される。この窒素ラジカルがウエハW上面上の $\text{SiO}_2$ 膜上で反応し、比較的短時間で $\text{SiO}_2$ 膜表面を窒化する。このようにして図7(b)に示すように、ウエハW上の下地酸化膜(下地 $\text{SiO}_2$ 膜)2の表面に窒素含有層21が形成される。

【0107】

この窒化処理を例えば20秒行うことで、換算膜厚2nm程度の厚さのゲート下地膜(下地膜)を形成することができる。

## 【0108】

(ゲート電極形成の態様)

## 【0109】

次に、ウエハW上の $\text{SiO}_2$ 膜上または下地 $\text{SiO}_2$ 膜を窒化処理した下地膜上にゲート電極13(図1(a))を形成する。このゲート電極13を形成するためには、ゲート酸化膜またはゲート下地膜が形成されたウエハWをそれぞれプラズマ処理ユニット32または33内から取り出し、搬送室31(図2)側に一旦取り出し、しかる後に加熱反応炉47内に収容する(ステップ4)。加熱反応炉47内では所定の処理条件下でウエハWを加熱し、ゲート酸化膜またはゲート下地膜上に所定のゲート電極13を形成する。

## 【0110】

このとき、形成するゲート電極13の種類に応じて処理条件を選択することができる。

## 【0111】

即ち、ポリシリコンからなるゲート電極13を形成する場合には、例えば処理ガス(電極形成ガス)として、 $\text{SiH}_4$ を使用し、10~500Paの圧力、580~680℃の温度条件下で処理する。

## 【0112】

また、アモルファスシリコンからなるゲート電極13を形成する場合には、例えば処理ガス(電極形成ガス)として、 $\text{SiH}_4$ を使用し、10~500Paの圧力、500~580℃の温度条件下で処理する。

## 【0113】

(酸化膜の品質)

## 【0114】

上述した第1の工程では、ゲート酸化膜またはゲート下地膜用下地酸化膜を形成するに際し、処理ガスの存在下で、Siを主成分とするウエハWに、複数のスロットを有する平面アンテナ部材(SPA)を介してマイクロ波を照射することにより酸素( $\text{O}_2$ )および希ガスとを含むプラズマを形成し、このプラズマを用いて前記被処理基材表面に酸化膜を形成しているため、品質が高く、且つ膜質制

御を首尾よく行うことができる。

【0115】

(好適なMOS特性の推定メカニズム)

【0116】

更に、上記第3の工程において特定条件下で加熱処理して得られるゲート電極を形成することにより、MOS型半導体構造は優れた特性を備えている。その理由は、本発明者の知見によれば、以下のように推定される。

【0117】

本発明においては、上述したように極めて薄く、且つ良質なゲート絶縁膜を形成することができる。このような良質なゲート絶縁膜（ゲート酸化膜および／又はゲート下地膜）と、その上に形成したゲート電極（例えば、CVDによるポリシリコン、アモルファスシリコン、SiGe）との組合せに基づき、良好なトランジスタ特性（例えば、良好な界面特性）を実現することが可能となる。

【0118】

更には、図2に示すようなクラスター化を行うことで、ゲート酸化膜およびゲート下地膜形成と、ゲート電極形成との間における大気への暴露を避けることが可能となり、界面特性の更なる向上が可能となる。

(ロジックデバイス製造の一態様)

【0119】

本発明をロジックデバイスの製造に適用した一態様について述べる。このような態様は、大別して、「素子分離→MOSトランジスタ作製→容量作製→層間絶縁膜成膜および配線」のような流れとなる。

【0120】

以下に本発明の工程が含まれるMOSトランジスタ作製前工程の中でも、特に本発明と関連の深いMOS構造の作製について説明する。

【0121】

(1) : 基板

【0122】

基板にはP型もしくはN型のシリコン基板を用い、比抵抗が $1 \sim 30 \Omega \text{cm}$ 、

面方位（100）のものを用いる。

シリコン基板上には目的に応じ、STIやLOCOS等の素子分離工程やチャネルインプラが施されており、ゲート酸化膜やゲート絶縁膜が成膜されるシリコン基板表面には犠牲酸化膜が成膜されている（図8）。

【0123】

（2）：ゲート絶縁膜成膜前の洗浄

【0124】

一般にAPM（アンモニア、過酸化水素水、純水の混合液）とHPM（塩酸、過酸化水素水、純水の混合液）およびDHF（フッ酸と純水の混合液）を組み合わせたRCA洗浄によって犠牲酸化膜と汚染要素（金属や有機物、パーティクル）を除去する。必要に応じ、SPM（硫酸と過酸化水素水の混合液）、オゾン水、FPM（フッ酸、過酸化水素水、純水の混合液）、塩酸水（塩酸と純水の混合液）、有機アルカリなどを用いる時もある。

【0125】

（3）：ゲート絶縁膜成膜前処理

【0126】

（2）の処理後に、下地膜形成の工程として基板上に窒化膜を形成する。処理条件は例えば以下のようなものが考えられる。その基板を600℃から900℃に保持し、 $\text{NH}_3$ を1000～3000 sccm導入した雰囲気下に1～3分間保持することで基板表面に薄い窒化層（SiN層）を形成する。このSiN層を形成することでシリコン基板と $\text{HfSiO}$ 膜の熱による反応を抑制することが出来る（図9）。また、本工程には窒化膜以外にも熱酸化膜や熱酸窒化膜、プラズマを用いた酸化膜や窒化膜、および酸窒化膜などを用いることも可能であるが、本発明に述べているように極めて薄い酸化膜を形成することは困難であり、技術的な改善が必要である。

【0127】

（4）：High-K ゲート絶縁膜の成膜

【0128】

上記（3）で得たシリコン基板上にHigh-K ゲート絶縁膜を成膜する。

以下に例としてハフニウムシリケート ( $\text{HfSiO}$ ) の成膜方法を示す。ターシャリーエトキシハフニウム ( $\text{HTB: Hf(OC}_2\text{H}_5)_4$ ) とシランガス ( $\text{SiH}_4$ ) をそれぞれ  $1\text{ sccm}$ 、 $400\text{ sccm}$  ずつ導入し、圧力を  $50\text{ Pa}$  に保持する。HTBの流量は液体マスフローコントローラの流量、シランガスの流量はガスマスフローコントローラの流量である。その雰囲気中で前述2のシリコン基板を  $350^\circ\text{C}$  で加熱し、基板上で  $\text{Hf}$  と  $\text{Si}$  と  $\text{O}$  の反応種を反応させることで  $\text{HfSiO}$  膜を成膜する。処理時間を含めたプロセス条件を制御することで  $4\text{ nm}$  の  $\text{HfSiO}$  膜を成膜する。処理時間を含めたプロセス条件を制御することで膜厚を制御できる (図10)。

【0129】

(5) : SPA酸化処理

【0130】

上記(4)の処理を施したシリコン基板上にSPAプラズマ酸化処理を施す。具体的な例としては、 $400^\circ\text{C}$  に加熱したシリコン基板上に希ガスと酸素をそれぞれ  $2000\text{ sccm}$ 、 $20\text{ sccm}$  ずつ流し、圧力を  $67\text{ Pa}$  ( $500\text{ mTorr}$ ) に保持する。その雰囲気中に複数のスロットを有する平面アンテナ部材 (SPA) を介して  $2.8\text{ W/cm}^2$  のマイクロ波を照射することにより酸素および希ガスとを含むプラズマを形成し、このプラズマを用いて前述4の基板上にプラズマ酸化処理を施す (図11)。

【0131】

(6) : ゲート電極用ポリシリコン成膜

【0132】

上記(5)で形成した  $\text{High-K}$  ゲート絶縁膜 (酸窒化膜を含む) 上にMOSトランジスタのゲート電極としてポリシリコン (アモルファスシリコンを含む) をCVD法にて成膜する。ゲート絶縁膜の成膜されたシリコン基板を  $500^\circ\text{C}$  から  $650^\circ\text{C}$  の範囲内で加熱し、基板上にシリコンを含むガス (シラン、ジシラン等) を  $10$  から  $100\text{ Pa}$  の圧力で導入することでゲート絶縁膜上に膜厚  $50\text{ nm}$  から  $500\text{ nm}$  の電極用ポリシリコンを成膜する。ゲート電極としてはポリシリコンの代替として、シリコンゲルマニウムやメタル ( $\text{W}$ 、 $\text{Ru}$ 、 $\text{TiN}$

、Ta、Moなど）が用いられることがある（図12）。

#### 【0133】

その後、ゲートのパターンニング、選択エッチングを行い、MOSキャパシタを形成し（図13）、イオン打ち込み（インプラ）を施してソース、ドレインを形成する（図14）。その後アニールによりドーパント（チャネル、ソース、ドレインへインプラされたリン（P）、ヒ素（As）、ホウ素（B）等）の活性化を行う。続いて後工程となる層間絶縁膜の成膜、パターンニング、選択エッチング、メタルの成膜を組み合わせた配線工程を経て本状態に関わるMOSトランジスタが得られる（図15）。最終的にこのトランジスタ上部に様々なパターンで配線工程を施し、回路を作ることでロジックデバイスが完成する。

#### 【0134】

なお、本状態では絶縁膜としてHfシリケート（HfSiO膜）を形成したが、それ以外の組成からなる絶縁膜を形成することも可能である。ゲート絶縁膜としては、従来より使われている低誘電率のSiO<sub>2</sub>、SiON、また誘電率が比較的高いSiNやHigh-K物質と呼ばれる誘電率が高いAl<sub>2</sub>O<sub>3</sub>、ZrO<sub>2</sub>、HfO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、およびZrSiO、HfSiO等のシリケートやZrAlO等のアルミネートからなる群から選択される1又は2以上のものが挙げられる。

#### 【0135】

また、High-K物質の成膜方法として熱CVD法のみを実施例として取り上げたが、High-K物質の形成方法は任意であり、例えばプラズマCVD法やPVD法によって成膜を行うことも可能である。

#### 【0136】

また、本実施例では、プラズマ酸化処理による効果のみに着目しているが、プラズマ酸化処理の代わりにプラズマ窒化処理や、プラズマ酸化処理と窒化処理を組み合わせた処理等への応用も可能である。

#### 【0137】

以下、実施例により本発明を更に具体的に説明する。

#### 【0138】

## 【実施例】

実施例 1

## 【0139】

図16、図17にSPA酸化プロセスによって成膜された酸化膜とHfSiO膜上に酸化プラズマ処理を施した場合における電氣的膜厚(Teq)と電氣的膜厚の均一性(Range:面内におけるTeqの最大値と最小値の差)の酸化時間による変化をそれぞれ示す。横軸は酸化処理時間、縦軸はTeqおよびRangeである。図16、図17のサンプルは以下のような方法で作製された。

## 【0140】

## (1): 基板

基板にはP型のシリコン基板を用い、比抵抗が $8 \sim 12 \Omega \text{cm}$ 、面方位(100)のものを用了。シリコン基板表面には熱酸化法により500Å犠牲酸化膜が成膜されている。

## 【0141】

## (2): HfSiO膜成膜前処理

APM(アンモニア、過酸化水素水、純水の混合液)とHPM(塩酸、過酸化水素水、純水の混合液)およびDHF(フッ酸と純水の混合液)を組み合わせたRCA洗浄によって犠牲酸化膜と汚染要素(金属や有機物、パーティクル)を除去した。APMの薬液濃度比は $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 2 : 10$ であり、温度は $60^\circ\text{C}$ である。またHPMは濃度比が $\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$ で温度が $60^\circ\text{C}$ 、DHFは濃度比が $\text{HF} : \text{H}_2\text{O} = 1 : 99$ で温度が $23^\circ\text{C}$ である。処理はAPM<sub>10分</sub>→純水リンス5分→DHF<sub>23分</sub>→純水リンス5分→HPM<sub>10分</sub>→純水リンス5分→ファイナル純水リンス10分を行った後に、IPA(イソプロピルアルコール、 $220^\circ\text{C}$ )乾燥を9分行いウェハ上の水分を乾燥させた。その基板を $700^\circ\text{C}$ に保持し、 $\text{NH}_3$ を $2000 \text{ sccm}$ 導入した雰囲気下(大気圧)に1分間保持することで基板表面に薄い窒化層(SiN層)を形成した。このSiN層を形成することでシリコン基板とHfSiO膜の熱による反応を抑制することが出来る。

## 【0142】

## (3) : HfSiO成膜

## 【0143】

上記2のシリコン基板上にハフニウムシリケート (HfSiO) を成膜した。ターシャリーエトキシハフニウム (HTB:  $\text{Hf}(\text{OC}_2\text{H}_5)_4$ ) とシランガス ( $\text{SiH}_4$ ) をそれぞれ1 sccm、400 sccmずつ導入し、圧力を50 Paに保持した。HTBの流量は液体マスフローコントローラの流量、シランガスの流量はガスマスフローコントローラの流量である。その雰囲気中で前述2のシリコン基板を350℃で加熱し、基板上でHfとSiとOの反応種を反応させることでHfSiO膜を成膜した。処理時間を含めたプロセス条件を制御することで4 nmのHfSiO膜を成膜した。

## 【0144】

## (4) : SPA酸化処理

## 【0145】

上記3の処理を施したシリコン基板上にSPAプラズマ酸化処理を施した。400℃に加熱したシリコン基板上に希ガスと酸素をそれぞれ2000 sccm、20 sccmずつ流し、圧力を67 Pa (500 mTorr) に保持した。その雰囲気中に複数のスロットを有する平面アンテナ部材 (SPA) を介して2.8 W/cm<sup>2</sup>のマイクロ波を照射することにより酸素および希ガスとを含むプラズマを形成し、このプラズマを用いて前述3の基板上にプラズマ酸化処理を施した。

## 【0146】

## (5) : ゲート電極用TiN成膜

## 【0147】

上記(3)～(4)で形成したHfSiO膜上、および、リファレンスとして3のHfSiO成膜を省いて4の酸化処理のみを行った酸化膜上にゲート電極としてチタンナイトライド (TiN) をCVD法にて成膜した。3～4の処理を施したシリコン基板を550℃で加熱し、200 Paの圧力で基板上に $\text{TiCl}_4$ ガスを30 sccm、 $\text{NH}_3$ ガスを100 sccm、 $\text{N}_2$ ガスを150 sccm導入することでHfSiO膜上に膜厚800 Åの電極用TiNを成膜した。

【 0 1 4 8 】

( 6 ) : パターニング、ゲートエッチ

【 0 1 4 9 】

上記 ( 5 ) で作製した T i N 電極上にリソグラフィによりパターニングを施し、過酸化水素水 (  $H_2O_2$  ) 薬液中にシリコン基板を 3 分間浸すことでパターニングされていない部分の T i N を溶かし、M O S キャパシタを作製した。

【 0 1 5 0 】

### 実施例 2

【 0 1 5 1 】

実施例 1 で作製した M O S キャパシタについて、C V 特性を評価した。この測定は次に示すような方法で行った。ゲート電極面積が  $10000\text{ }\mu\text{m}^2$  のキャパシタの C V 、特性を評価した。C V 特性は周波数 1 M H z 、ゲート電圧を 1 V から - 2 V 程度まで掃引し各電圧におけるキャパシタンスを評価することで求めた。C V 特性から電気的膜厚を計算した。

【 0 1 5 2 】

図 1 は S P A 酸化プロセスによって成膜された酸化膜と H f S i O 膜上に酸化プラズマ処理を施した場合における電気的膜厚 ( T e q ) を示す。横軸は酸化処理時間、縦軸は電気的膜厚 ( T e q ) である。

【 0 1 5 3 】

図 1 6 に示されるように、リファレンスの酸化膜は酸化時間 2 0 秒以上にて 2 5 A 以上の膜厚となる。処理時間が短くなるほどプロセスの再現性は低くなり、膜厚の制御も困難となるため、2 0 秒以下の短時間プロセスは実用的ではない。したがって、図 1 6 のリファレンスに示されるような通常の酸化方法では、H i g h - K 酸窒化膜として要求される膜厚 ( 1 0 A 以下 ) を得ることは困難となる。それに対し、図 1 6 に示したような H f S i O 膜に S P A 酸化処理を施した場合は、初期の膜厚 ( 約 1 6 A ) に対し、3 5 秒以上の長時間処理を施した場合でも電気的膜厚の増加は 1 0 A 程度に抑制されている。酸化プロセスには希ガスと酸素ガスしか用いていないことから、この増膜は酸素に起因するものと考えられる。増膜には界面からの増膜と、膜そのもの ( バルク ) の増膜が考えられる。現

在、 $\text{HfSiO}$ 膜を含めた $\text{High-K}$ 物質における問題として、高温アニールによる結晶化が有る。これは膜中の $\text{Si}$ 原子の絶対量が少ないことに起因しているとされている。このことから、酸素が膜中に混入することでの増膜は $\text{Si-Si}$ 結合に $\text{O}$ が入り込むことによる増膜で有る可能性は低い。また、 $\text{Hf-O}$ 結合は豊富に含まれていることも一般に知られている。以上から、増膜に最も寄与する部分は基板からの増膜、すなわち界面における酸化膜の形成である可能性が高い。したがって、本発明により界面に極めて薄い酸化膜を形成できると考えられる。

## 【0154】

図2はSPA酸化プロセスによって成膜された酸化膜と $\text{HfSiO}$ 膜上に酸化プラズマ処理を施した場合における電氣的膜厚の均一性（Range：面内における $T_{eq}$ の最大値と最小値の差）の酸化時間による変化をそれぞれ示す。横軸は酸化処理時間、縦軸はRangeである。

## 【0155】

図2に示されるように、リファレンスのSPA酸化膜は処理時間に対してRangeの値はそれほど変化しないが、 $\text{HfSiO}$ 膜にSPA酸化処理を施した場合は、処理時間の増加に伴いRangeが小さくなっている、すなわち均一性が向上していることが観測された。このメカニズムは以下のようなものと考えている。先に述べたように、増膜の主な原因は界面における酸化膜の増膜によるものとする、膜の薄い部分には強い増膜効果、膜の厚い部分には弱い増膜効果が生じる。したがって、膜の厚みの不均一性がSPA酸化を施すことにより改善され、電氣的膜厚が均一になったと考えることが出来る。したがって、図17の結果は先に述べた図16の増膜メカニズムを支持するものと言うことが出来る。

## 【0156】

以上から、 $\text{HfSiO}$ 膜を成膜した後にプラズマ酸化処理を施すことで、単体の酸化プロセスでは実現が困難であった極めて薄い10Å以下の下地膜の形成を実現することが出来、かつ良好な均一性を持つ $\text{HfSiO}$ 膜を形成することが可能となった。

## 【0157】

また、上記の例では本発明を用いて作製されたHfSiO膜についてのみ言及しているが、それ以外のをHigh-K物質にも同様の処理を施すことで同様の効果を実現できる。

【0158】

【発明の効果】

上述したように本発明によれば、絶縁膜と、電子デバイス用基材との間の界面に、該絶縁膜の特性を向上させるべき良質な下地膜を与える方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の下地絶縁膜の形成方法方法により製造可能な半導体装置の一例を示す模式的な垂直断面図である。

【図2】

本発明の下地絶縁膜の形成方法方法を実施するための半導体製造装置の一例を示す模式平面図である。

【図3】

本発明の下地絶縁膜の形成方法方法に使用可能なスロットプレインアンテナ（SPA）プラズマ処理ユニットの一例を示す模式的な垂直断面図である。

【図4】

本発明の下地絶縁膜の形成方法装置に使用可能なSPAの一例を示す模式的な平面図である。

【図5】

本発明の下地絶縁膜の形成方法方法に使用可能な加熱反応炉ユニットの一例を示す模式的な垂直断面図である。

【図6】

本発明の製造方法における各工程の一例を示すフローチャートである。

【図7】

本発明の方法による膜形成の一例を示す模式断面図である。

【図8】

ゲート酸化膜やゲート絶縁膜が成膜されるシリコン基板表面の一例を示す模式断面図である。

【図 9】

基板表面上へのプラズマ処理の一例を示す模式断面図である。

【図 10】

プラズマを用いる基板上への  $\text{SiO}_2$  膜の成膜の一例を示す模式断面図である。

【図 11】

H i g h - k 材料の成膜の一例を示す模式断面図である。

【図 12】

H i g h - k 材料膜上へのゲート電極の形成の一例を示す模式断面図である。

【図 13】

M O S キャパシタの形成形成の一例を示す模式断面図である。

【図 14】

イオン打ち込み（インプラ）によるソース、ドレイン形成の一例を示す模式断面図である。

【図 15】

本発明により得られる M O S トランジスタ構造の一例を示す模式断面図である。

【図 16】

S P A 酸化プロセスによって成膜された酸化膜と H f S i O 膜上に酸化プラズマ処理を施した場合における電気的膜厚 (T e q) と電気的膜厚の均一性の酸化時間による変化を示すグラフである。

【図 17】

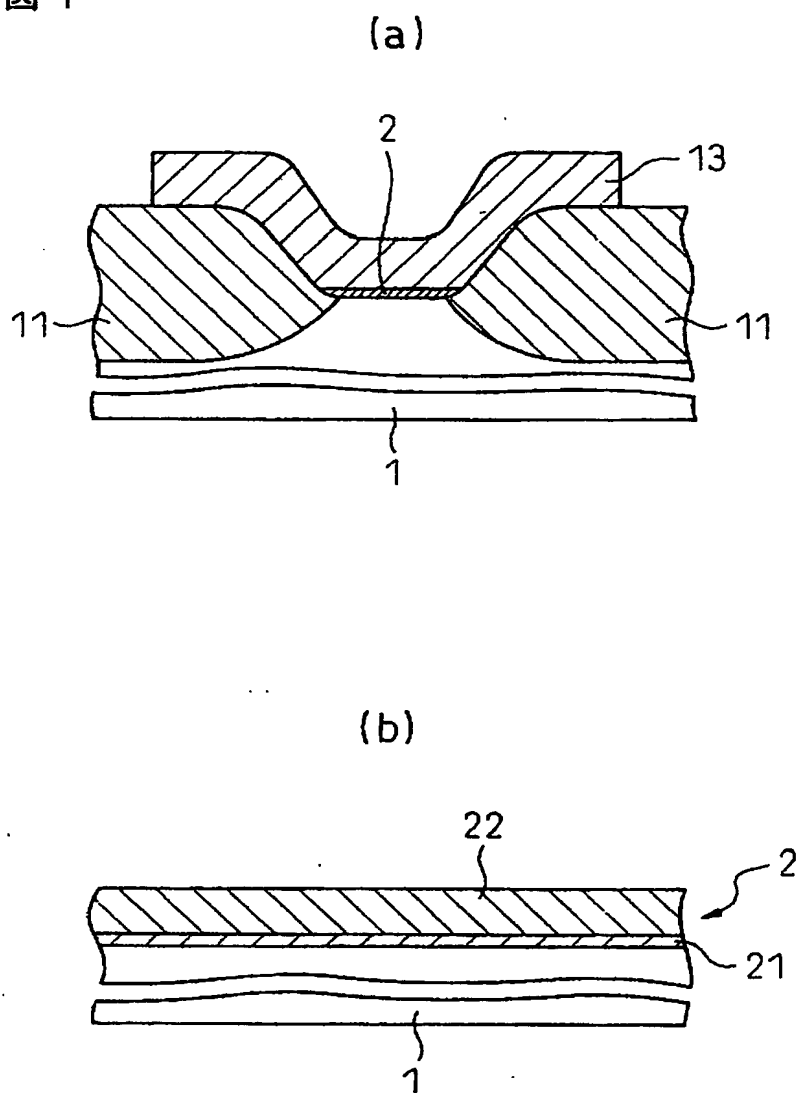
S P A 酸化プロセスによって成膜された酸化膜と H f S i O 膜上に酸化プラズマ処理を施した場合における電気的膜厚 (T e q) と電気的膜厚の均一性の酸化時間による変化を示すグラフである。

【書類名】

図面

【図 1】

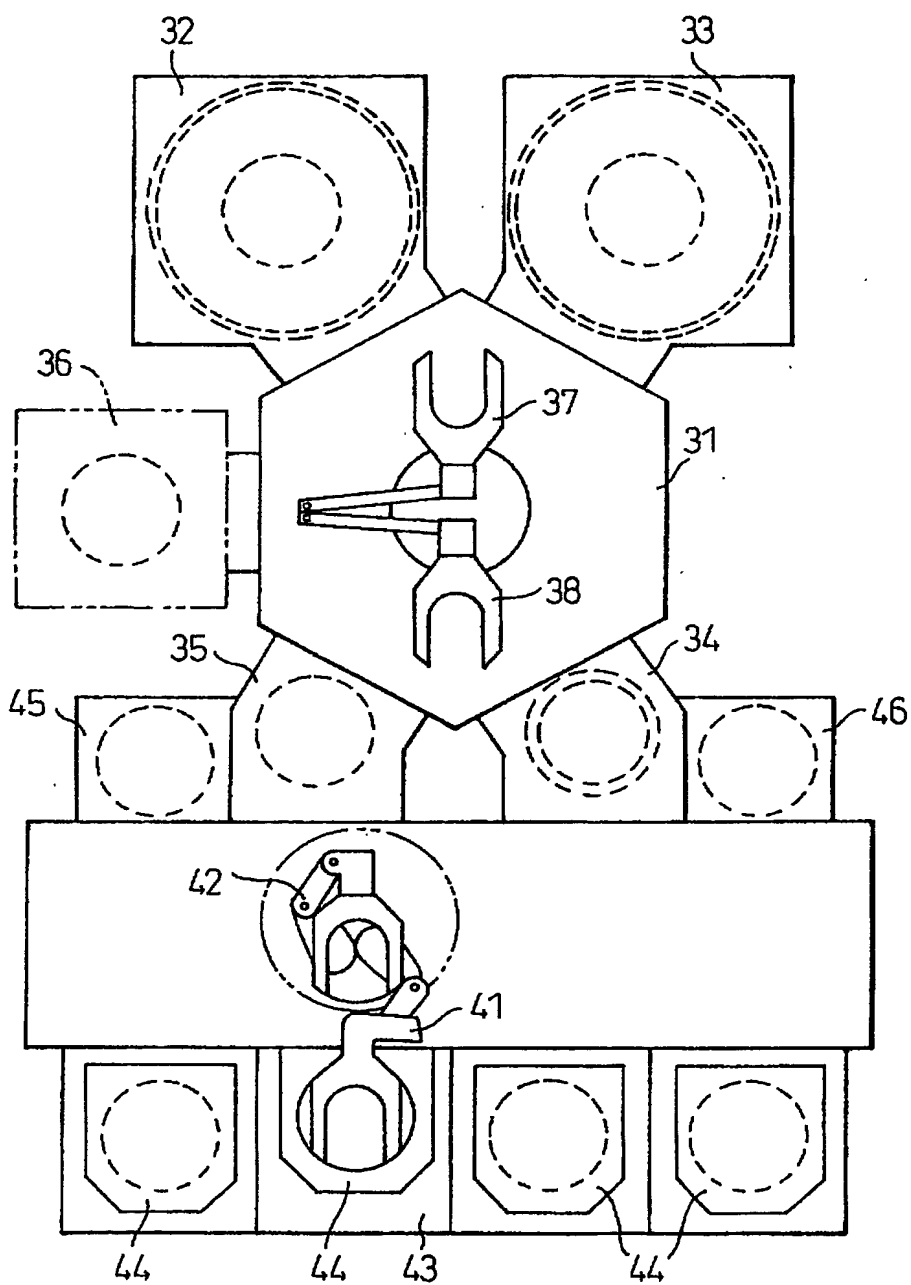
図 1



【図 2】

図 2

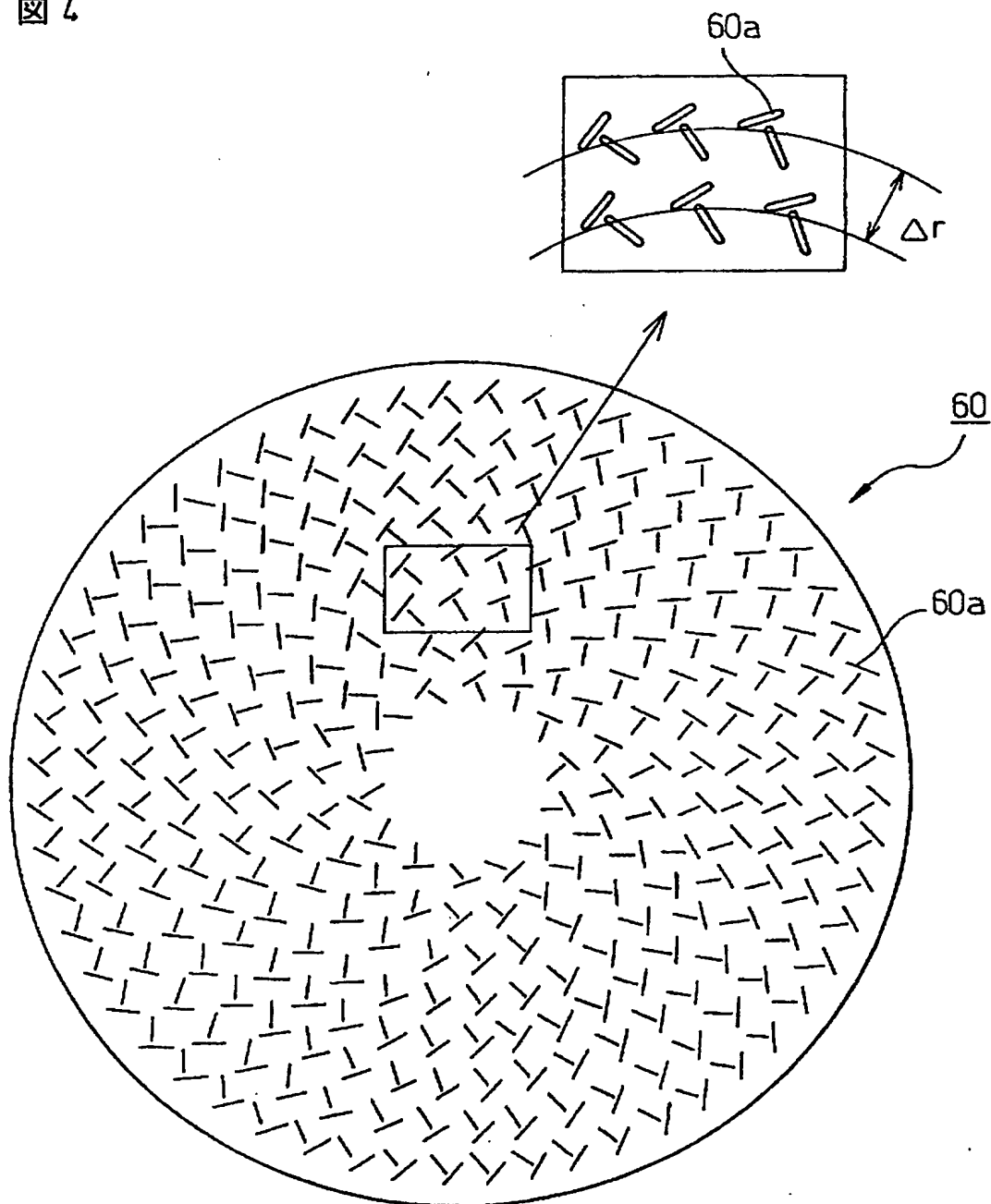
30





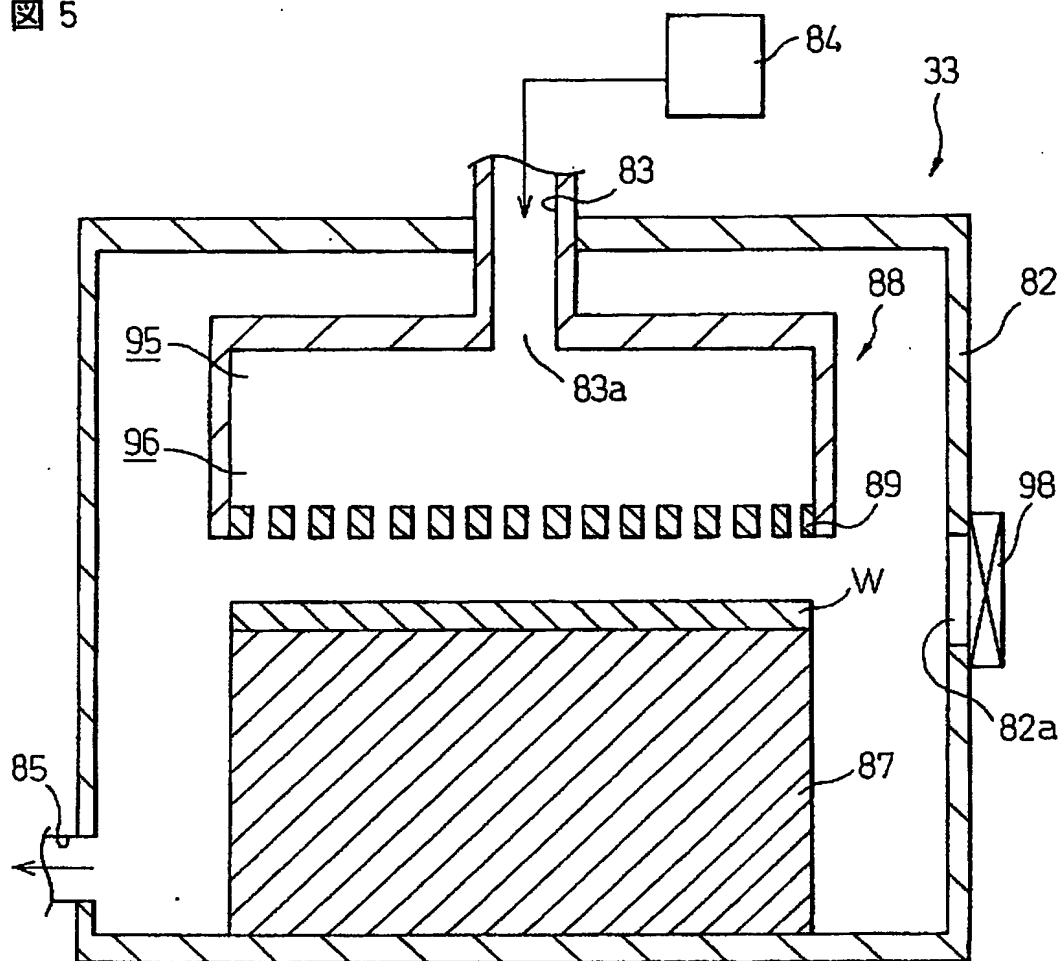
【図4】

図 4



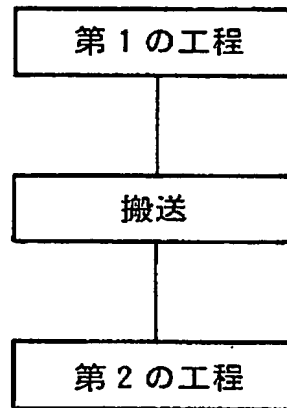
【図 5】

図 5



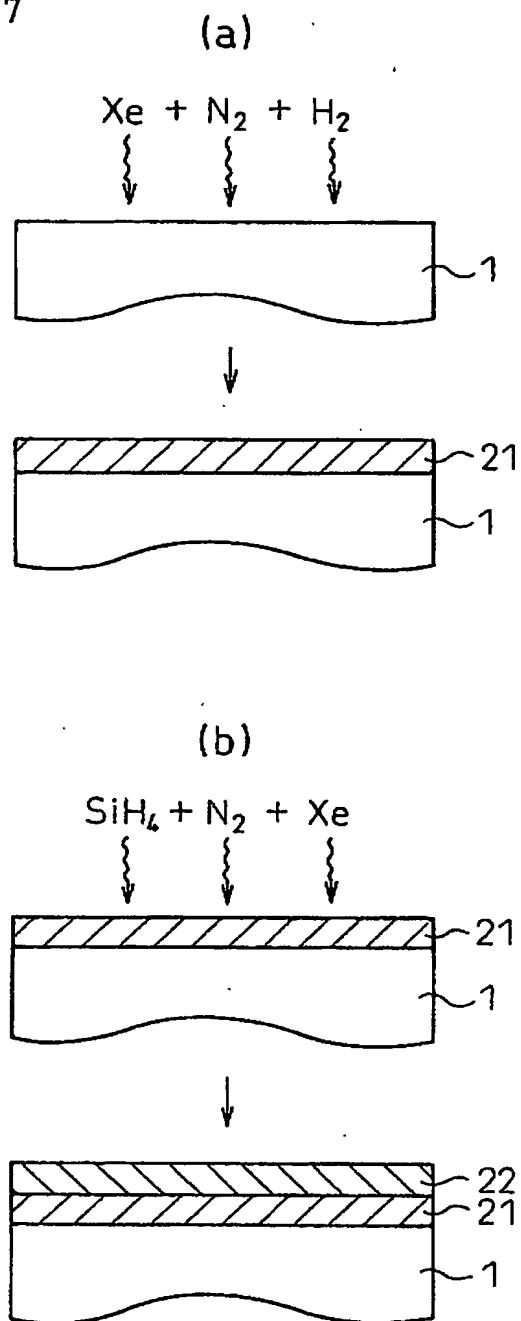
【図 6】

図 6



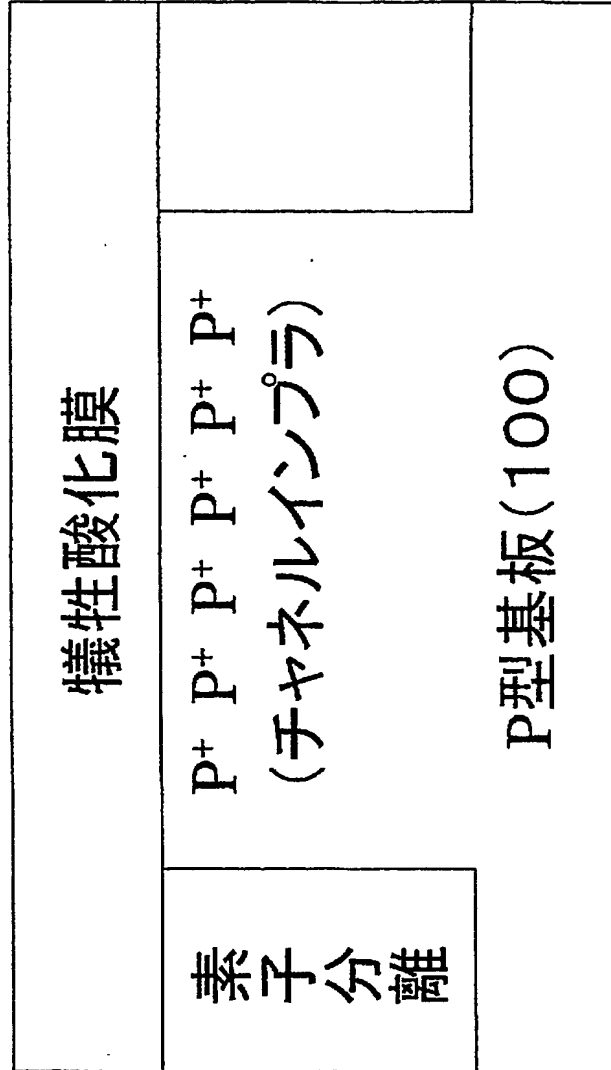
【図 7】

図 7



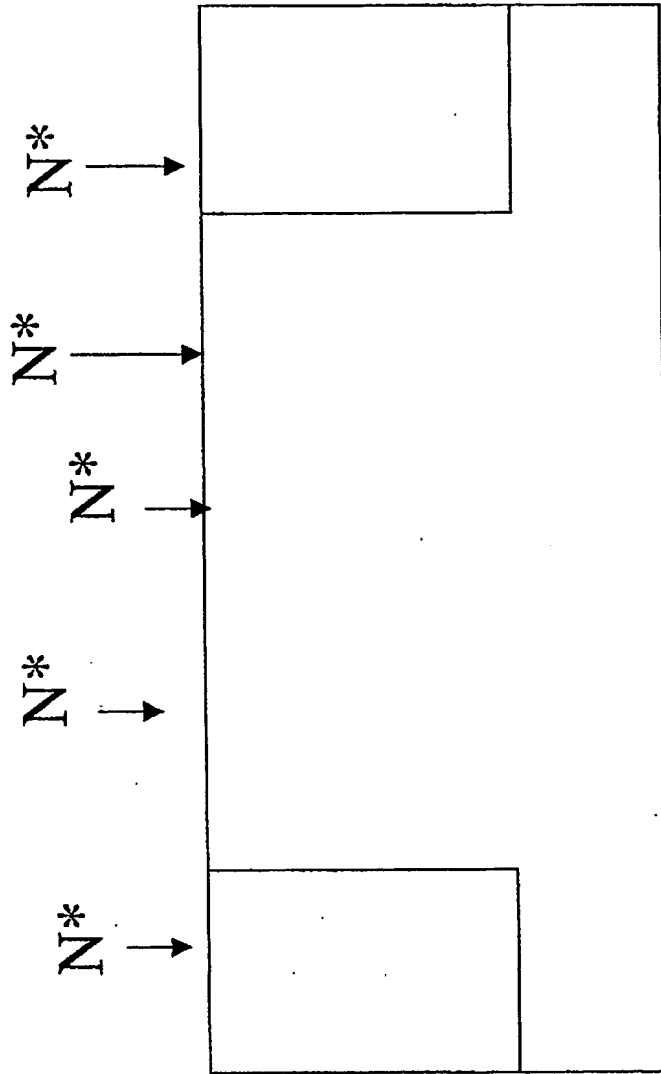
【図 8】

図 8



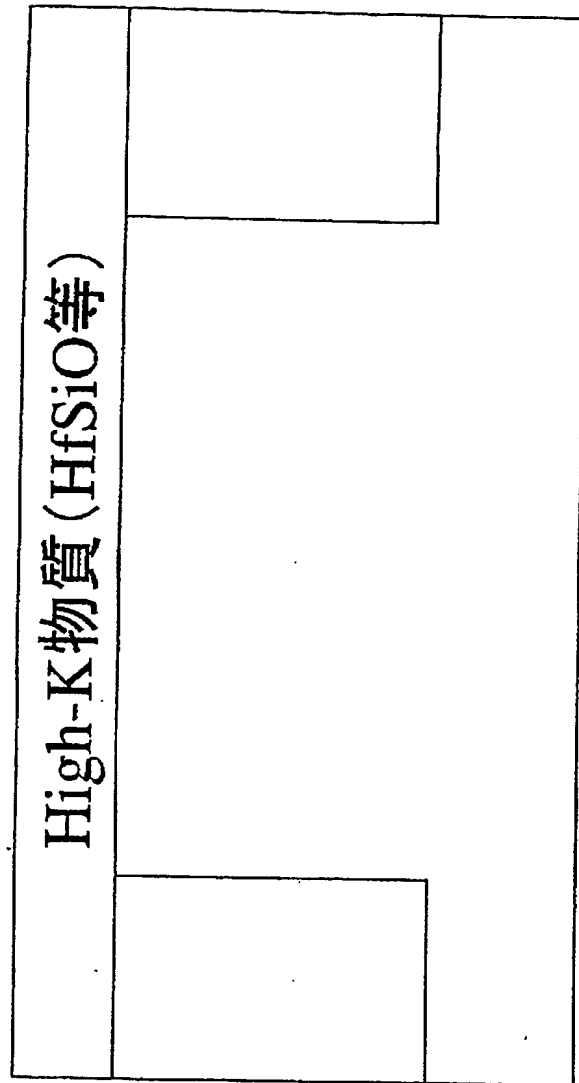
【図9】

図 9



【図 10】

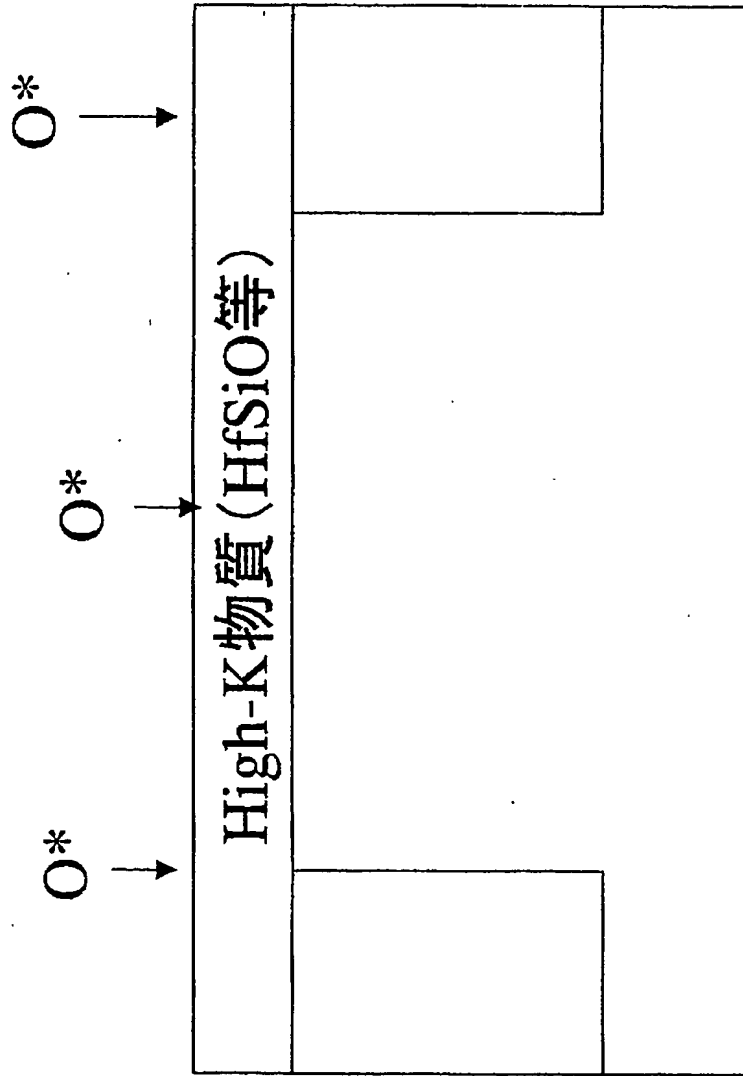
図 10



【図 11】

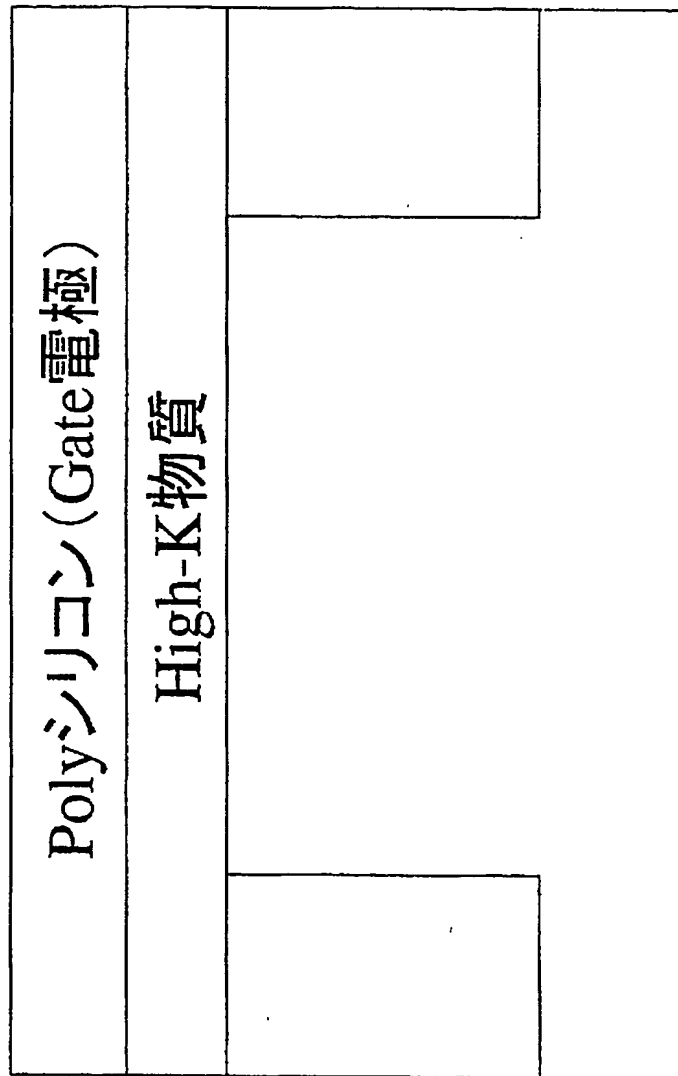
図 11

SPA プラズマ処理



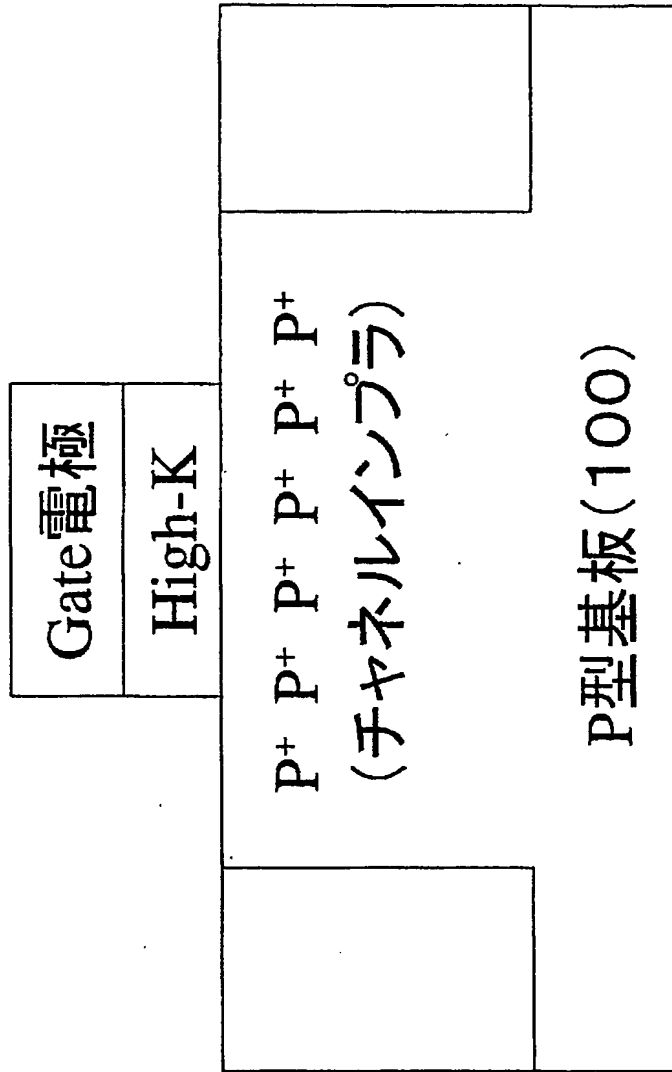
【図 12】

図 12



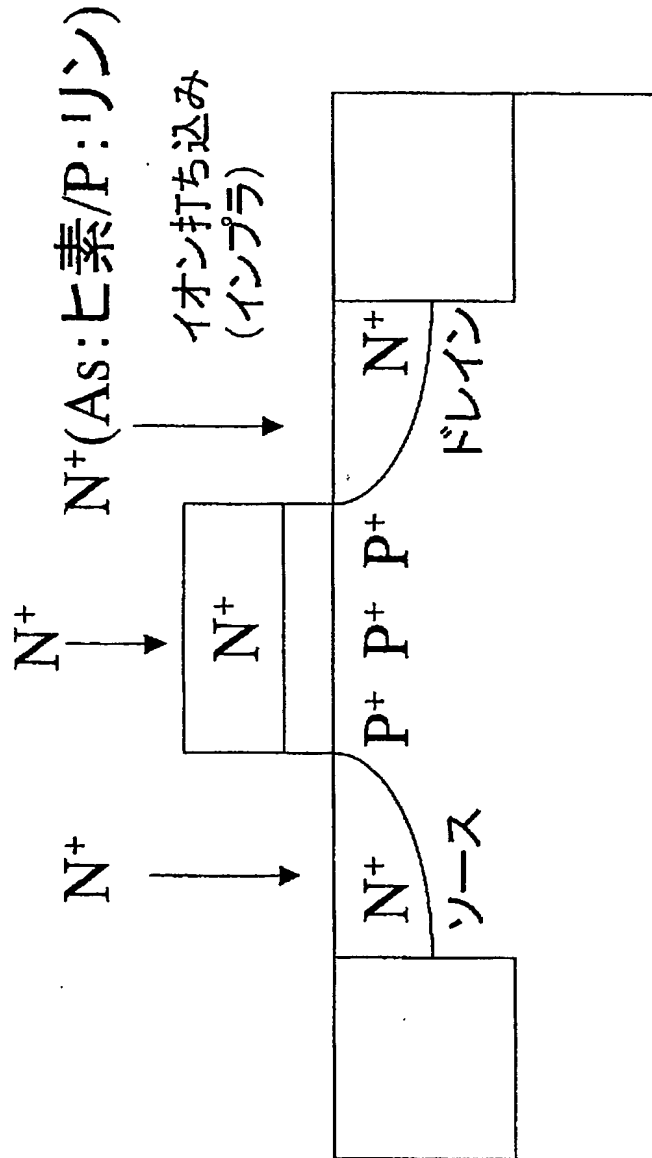
【図 13】

図 13



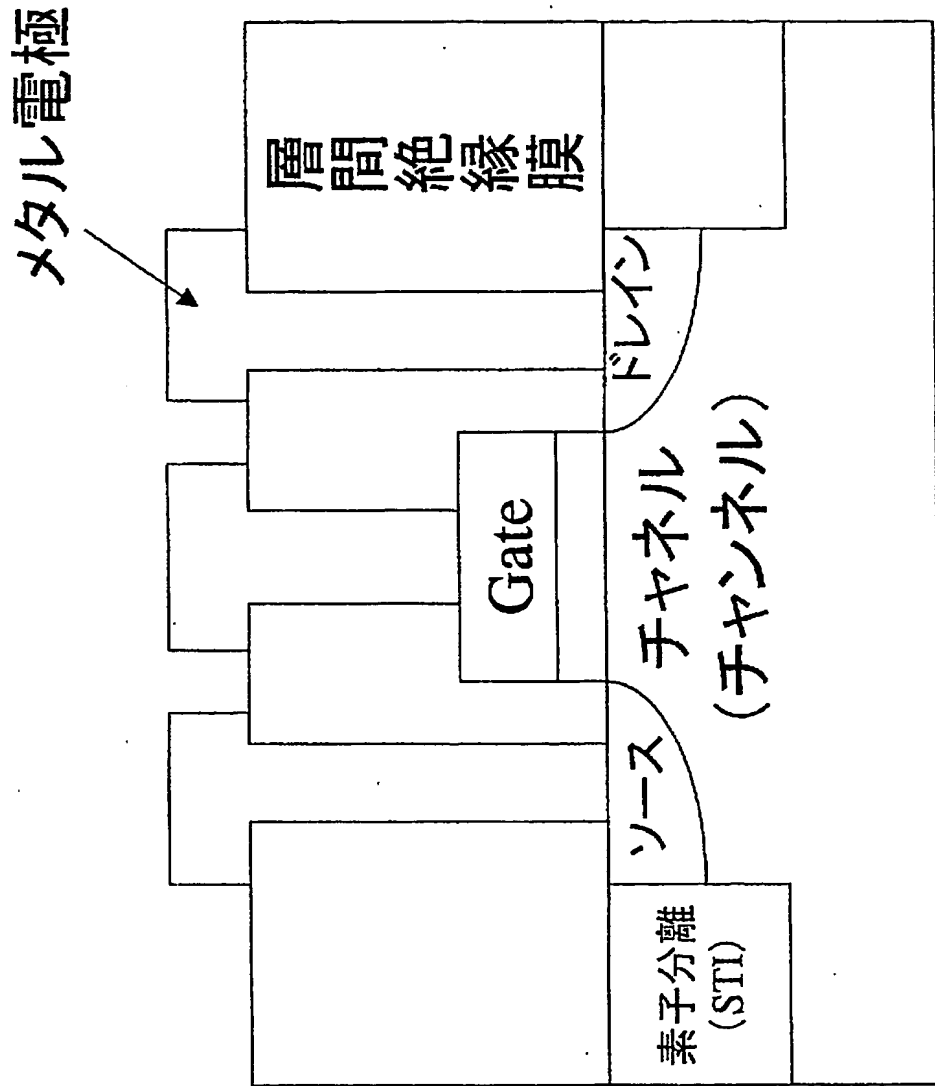
【図 14】

図 14



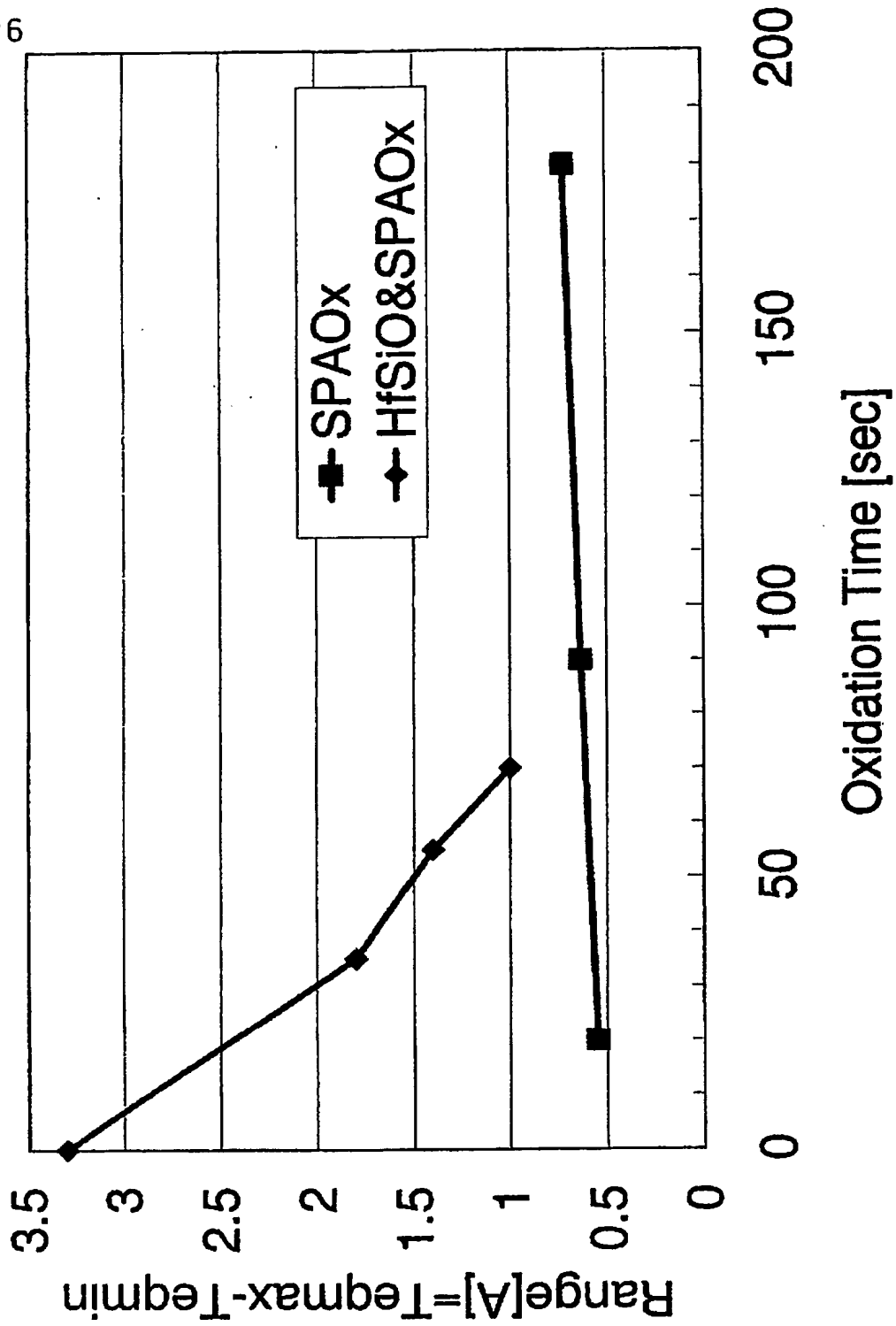
【図15】

図15



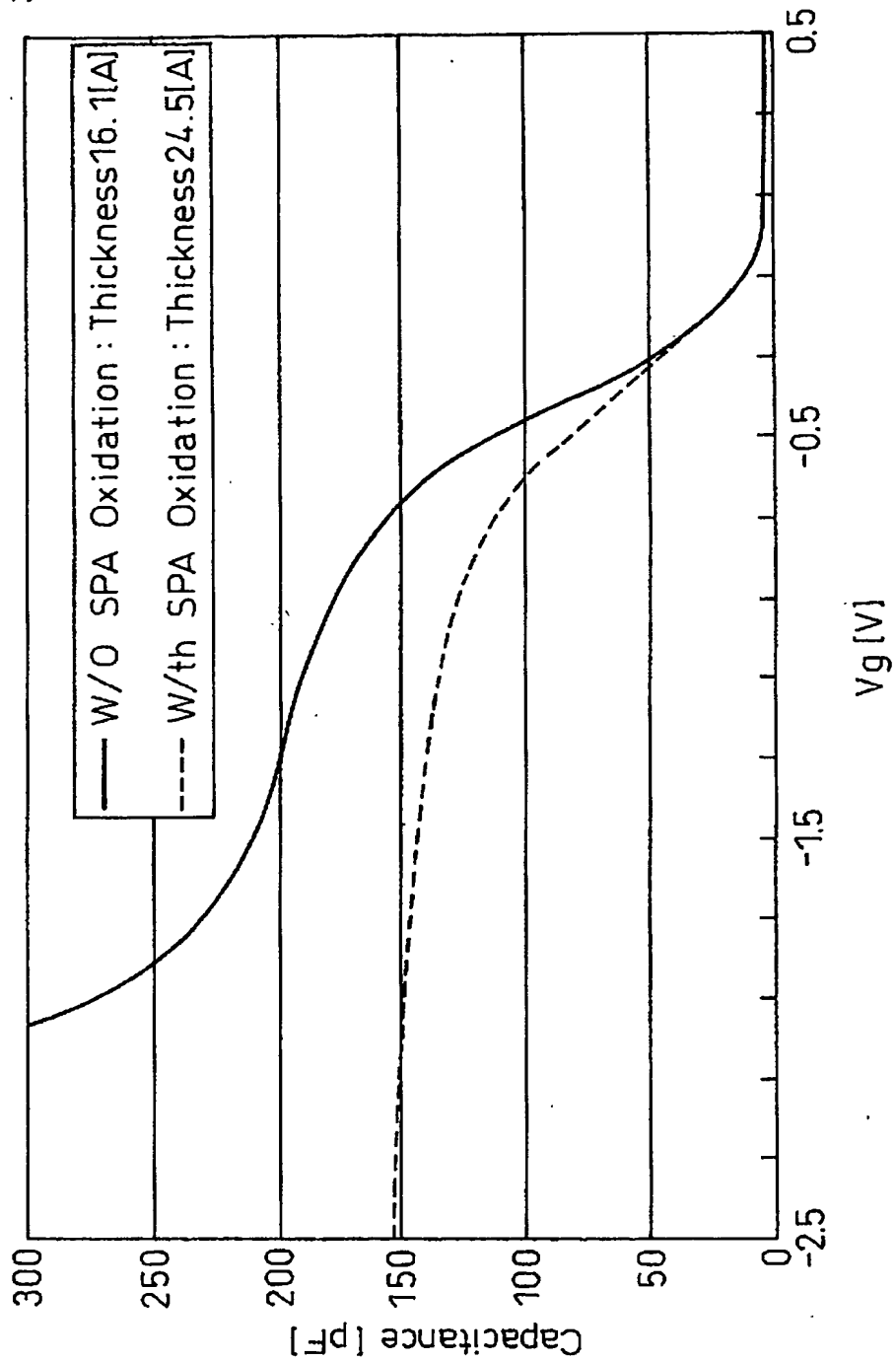
【図 16】

図 16



【図 17】

図 17



【書類名】 要約書

【要約】

【課題】 絶縁膜と、電子デバイス用基材との間の界面に、該絶縁膜の特性を向上させるべき良質な下地膜を与える方法を提供する。

【解決手段】 電子デバイス用基材上に配置された絶縁膜の表面に、少なくとも酸素原子含有ガスを含む処理ガスに基づくプラズマを照射して、該絶縁膜と電子デバイス用基材との界面に下地膜を形成する。

【選択図】 図 16

出 願 人 履 歴 情 報

識別番号 [000219967]

1. 変更年月日	1994年 9月 5日
[変更理由]	住所変更
住 所	東京都港区赤坂5丁目3番6号
氏 名	東京エレクトロン株式会社